

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

Patent Abstracts of Japan

PUBLICATION NUMBER : 02052452
PUBLICATION DATE : 22-02-90

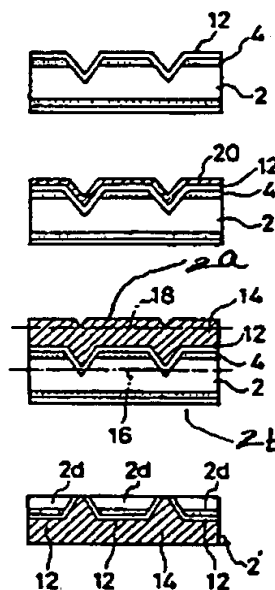
APPLICATION DATE : 17-08-88
APPLICATION NUMBER : 63204129

APPLICANT : SHIN ETSU HANDOTAI CO LTD;

INVENTOR : OKI YOSHI;

INT.CL. : H01L 21/76

TITLE : MANUFACTURE OF DIELECTRIC ISOLATION SUBSTRATE



ABSTRACT : **PURPOSE** To restrain an abnormality by reduction of a separation oxide film from being caused and to prevent breakdown strength from becoming defective and a defective wiring part from being produced by a method wherein a first polycrystalline silicon layer is formed on the separation oxide film by a low-temperature and low-pressure chemical vapor growth method and a second polycrystalline silicon layer is formed by a high-temperature and normal-pressure chemical vapor growth method.

CONSTITUTION: A first polycrystalline silicon layer 20 is grown on a separation oxide film 12 by using SiH_4 by a low-pressure chemical vapor growth method. A second polycrystalline silicon layer 14 is grown, on the first polycrystalline silicon layer 20, to be a thickness which is nearly the same as that of a semiconductor substrate. The polycrystalline silicon layer 14 is formed by using $\text{SiH}_4 + \text{H}_2$ while its temperature is raised to 1150 to 1230°C. Then, the substrate 2 is polished from a bottom face 2b, and is removed flatwise down to a position 16 indicated by a one-dotted chain line; single-crystal silicon island regions 2d which have been separated to be island-shaped are formed; a dielectric separation substrate 2' is formed. Fundamental elements are formed in these separated single-crystal silicon island regions 2d. Also the side of a main surface 2a of the semiconductor substrate 2 is polished and removed flatwise down to a position 10 indicated by a one-dotted chain line.

COPYRIGHT: (C)1990,JPO&Japio

Also see 63204129
ESR

THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁(JP) ⑪ 特許出願公開
⑫ 公開特許公報(A) 平2-52452

⑬ Int. Cl.⁴
H 01 L 21/76

識別記号 庁内整理番号
D 7638-5F

⑭ 公開 平成2年(1990)2月22日

審査請求 未請求 請求項の数 2 (全5頁)

⑮ 発明の名称 誘電体分離基板の製造方法

⑯ 特 願 昭63-204129

⑰ 出 願 昭63(1988)8月17日

⑱ 発 明 者 片 山 正 健 群馬県安中市磯部2丁目13番1号 信越半導体株式会社半
導体研究所内

⑲ 発 明 者 太 田 豊 群馬県安中市磯部2丁目13番1号 信越半導体株式会社半
導体研究所内

⑲ 発 明 者 大 木 好 群馬県安中市磯部2丁目13番1号 信越半導体株式会社半
導体研究所内

⑳ 出 願 人 信越半導体株式会社 東京都千代田区丸の内1丁目4番2号

㉑ 代 理 人 弁理士 石原 昭二

明 細 書

1. 発明の名称 誘電体分離基板の製造方法

2. 特許請求の範囲

(1)半導体基板の主表面に分離パターンに従って分離溝を形成する工程と、該半導体基板の主表面に分離酸化膜を形成する工程と、該分離酸化膜の上に多結晶シリコン層を所定の厚さに形成する工程と、該半導体基板の底面を該分離溝の底部以上に達するまで平面的に除去する工程とよりなる誘電体分離基板の製造方法において、該分離酸化膜上に第1の多結晶シリコン層を低温減圧化学気相成長法により形成し、次いで高温常圧化学気相成長法による第2の多結晶シリコン層を形成することを特徴とする誘電体分離基板の製造方法。

(2)該第1の多結晶シリコン層が温度600～800℃、圧力0.1～1.0 Torrの条件で行われる低温減圧化学気相成長法により形成され、その厚さが0.5～3μmであることを特徴とする請求項(1)記載の誘電体分離基板の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、誘電体酸化膜によって分離された単結晶島領域を有する集積回路用基板の製造方法の改良に関し、該誘電体酸化膜における異常の発生を完全に抑制することができるようにした誘電体分離基板の製造方法に関する。

(従来の技術)

従来、半導体集積回路装置における個々の素子の分離については、比較的工程が簡単で且つ制御の容易な拡散層によるpn接合分離が広く行われているが、pn接合部における分離容量が大きく、集積回路の高周波特性に悪影響を与え、回路の動作速度が遅くなるという欠点があり、他の提案として誘電体層で分離する誘電体絶縁分離方式がある。この方式は、寄生容量や分離耐圧の点では理想的な分離法である。

次に、第1図(a)～(d)に基づいて従来の代表的な誘電体絶縁分離基板の製造方法について説明する。(100)の面方位をもつ単結晶シリコンの半導体基板2(第1図(a))の研磨表面(同図の上側

にSb又はAs又はP等のN⁺ドーパント4を埋込み拡散させる(第1図(b))。さらに該半導体基板2の外面に、例えば熱酸化法により酸化膜(SiO₂)6を被覆形成する。該半導体基板2の主表面2aの酸化膜6をホトエッチングにより所望の分離パターンに従って選択的に除去して窓8を開く(第1図(c))。該窓8を通して半導体基板2の表面が選択エッチングされ、断面V字形の分離溝10が、第1図(e)に示す如く、形成される。その後、全面に分離酸化膜12を再び形成する(第1図(f))。該分離酸化膜12の上に多結晶シリコン層14を500μm程度(半導体基板と同程度の厚さ)に成長させる。次に、該半導体基板2の底面2bから研磨し、第1図(h)に一点鎖線で示す位置16、すなわち少なくとも上記分離溝10底部の酸化膜12が一部露出又は除去される、まで平面的に除去し、島状に分離された単結晶シリコン島領域2dを形成し、誘電体分離基板2'が形成される(第1図(i))。この分離された単結晶シリコン島領域2dに基本素子が形成される。な

がしばしば水素還元され、変質したり、或いはシリコンに還元されたりする。

また、反応の初期には水素雰囲気のみで高温に加熱され、上記酸化膜12の表面の浄化が行われるが、このときは上記の好ましくない現象が顕著である。一般に、多結晶シリコン析出工程の初期には、シリコンの析出によって表面が被覆される前に酸化膜12が水素ガスの作用を受けるためである。

先行技術文献には、このような好ましくない点についての解決法は提案されていない。誘電体分離基板に関する一般文献として、特公昭49-44795号及び特公昭53-29585号を挙げる。

(発明が解決しようとする課題)

前述した従来の誘電体分離基板の製造方法では、しばしば部分的に該酸化膜が消失し、このためこの上に析出された多結晶シリコンとの間の絶縁性が維持出来なかったり、上記酸化膜が変質するために、その耐絶縁性が低下し、漏洩電流の原因

お、該半導体基板2の主表面2a側も研磨され一点鎖線で示す位置18まで平面的に除去される。

上記酸化膜12は、例えばスチーム中1200℃で5時間加熱し、厚さ2μmに成長せしめられ、また多結晶シリコンは成長温度1100~1200℃で通常のエピタキシャル成長炉で高速度成長が行われる。多結晶シリコンの成長は、単結晶成長を必要としないので、経済上の要請から出来るだけ早い方がよいが、しばしばその成長条件によってはソリを増大するのでこの抑制のために成長条件の調整が必要となる。

多結晶シリコン析出は、その採用する温度に制限があり、あまり低温に過ぎると、例えば800℃以下であると、析出するシリコンが無定形となり、緻密なシリコン層の形成が難しく、また高温側はソリの低減には好都合であるが1280℃を超えると、成長炉に支障が生じる。従って、通常1000℃から1250℃位が選択される。また、反応雰囲気は水素を主体とするので、多結晶析出の初期には、半導体基板2の表面の酸化膜12

となったりすることがあって、良好な誘電体絶縁分離基板の製造に困難があった。また、この現象に付随して、その近傍の半導体島の単結晶の一部が該製造工程自身の熱サイクル、或いはその後の集積回路装置製造工程の熱サイクルにおいて、熱歪みの発生のために結晶性の劣化が起き、この異常箇所が分離溝の底部またはその近傍に発生した場合、背面の研磨除去工程中またはその後の熱処理で、相隣れる単結晶島の隣接領域が部分的に剝離除去され、好ましくない陥没となる場合がある。

本発明は、かかる分離酸化膜の異常発生を完全に抑制し、これに起因する半導体集積回路装置における耐圧不良、配線不良、その他の不良を皆無とすることを可能にした誘電体分離基板の製造方法を提供することを目的とする。

(課題を解決するための手段)

本発明は、前記従来法の諸欠点を解決するために改良された絶縁分離集積回路装置用基板の製造方法に関するもので、半導体基板の主表面に分離

パターンに従って分離溝を形成する工程と、該半導体基板の主表面に分離酸化膜を形成する工程と、該分離酸化膜の上に多結晶シリコン層を所定の厚さに形成する工程と、該半導体基板の底面を該分離溝の底部以上に達するまで平面的に除去する工程とよりなる誘電体分離基板の製造方法において、該分離酸化膜上に第1の多結晶シリコン層を低温減圧化学気相成長法により形成し、次いで高温常圧化学気相成長法による第2の多結晶シリコン層を形成するようにしたものである。

該第1の多結晶シリコン層は、温度600～800℃、圧力0.1～1.0 Torrの条件下で低温減圧化学気相成長したものであって、その厚さは0.5～3μmであることが好ましい。

半導体基板の上に成長された熱酸化膜は、通常1～5μmの間で形成されるが、例えば2μmであっても、通常の常圧高温化学成長条件では、しばしば熱酸化膜が反応雰囲気の水素ガスにより変質され、場合によっては除去されることも起こりうる。

る誘電体酸化膜の還元が優先し、多結晶シリコンがこれを覆うに至らない間に相当の誘電体酸化膜の変質を惹起する。

ハロゲン化合物として四塩化珪素、トリクロロシラン或いはジクロロシランを用いる場合には、多結晶シリコンの析出とともに副生するハロゲン化水素、例えば塩化水素が誘電体酸化膜の変質層を選択的に攻撃し、半導体基板の最終的に半導体島領域となるべき誘電体酸化膜に隣接する単結晶部を選択的に化学腐食除去することもあり得る。

このように誘電体酸化膜の変質部分があると、その部分に多結晶層が析出されると誘電体酸化膜によって分離されるべき単結晶島領域の単結晶と多結晶層とが導電的に接続したり、誘電体酸化膜が薄くなったり、SiO₂の化学量論比が保持されないために耐圧特性を著しく劣化したりする。

半導体島領域と多結晶層が連続したところでは、単結晶部分が多結晶層から汚染があったり、熱サイクルによる結晶歪みを受けたりする。また、上記誘電体酸化膜が部分的に除去され、ここに副

この理由は、常圧高温化学気相反応に際しては、分離酸化膜を有する半導体基板は、例えばエピタキシャル成長用の反応器内で1000℃～1250℃に加熱されてシリコンの高速析出、例えば2μm/min以上が行われる。多結晶の析出反応の開始に際して、1000～1250℃位の単に水素ガス雰囲気中での加熱処理が10～30分行われる。この理由は、該エピタキシャル成長反応器の内部の高温還元清浄化とともに、主たる目的として誘電体酸化膜を有する分離溝付の半導体基板上の好ましくない不純物を除去するために行われている。このときに温度が高い程、また時間が長い程その効果が顕著であるが、逆効果として、誘電体酸化膜が水素によって還元されて、SiOとして揮発したり、或いはシリコン元素になって、その誘電体としての分離機能を失ってしまう。また、かかる高温水素気流中の半導体基板の熱処理を短時間行えば10分以下としても、多結晶シリコン析出の初期には、反応室の空間がシリコン化合物で所定の濃度にならない間は、水素によ

生塩化水素が選択的に腐食した場合には、後の多結晶シリコンがこの部分を充填せずにボイドのままで残ることもある。

このような誘電体酸化膜の変質がおきたものは、たまたまその箇所が背面の研磨の際に露出されたときには、誘電体分離基板の半導体島領域の隣接部分にまたがる陥没として現れることもある。この陥没は半導体集積回路素子の形成及び結線に不利となることは勿論であるが、半導体島領域の多結晶から受けた熱サイクルの歪みによって剝離脱落することによって起こる場合もある。

第3図は従来法で作られた誘電体分離基板2'上のそれぞれの単結晶シリコン島領域2dのなかに、半導体素子を形成した工程途中の誘電体酸化膜の変質による陥没部分Xを示すパターンニングされた誘電体分離基板2'の一部を示す平面図である。第4図は第3図の断面図である。

本発明によれば、低温減圧化学気相成長法により、0.5～3μmのシリコンを第1の多結晶シリコン層として、誘電体酸化膜の上に成長させる

特開平2-52452(4)

が、この条件では上記酸化膜は還元されることなく、そのまま保存され、多結晶層のみがこの酸化膜の上に析出される。

このようにして出来た多結晶層は、後の常圧高温多結晶の析出に際し、水素ガスの侵入を防止し、酸化膜が水素により還元されることを防ぐので、誘電体分離基板はその誘電体分離性能を設計通りに保持することができる。

また、かかる多結晶層は、特に減圧下で形成されることによって、成長層が非常に緻密であり、また層の厚さの制御性に優れており、その他の方法で作られる多結晶層に比較して優れている。

低温減圧による多結晶析出は、その析出速度が著しく低いので、第2の多結晶を形成する方法としては非経済的である。この方法による第1の多結晶層の厚さは、下限として0.3 μ mでも充分効果をあげうるが、膜厚が変動することもあり得るので実用としては0.5 μ mを下限とするのがよい。また、厚すぎると、長時間になるので経済的でない。低温減圧多結晶シリコンは、その成長

の組織や結晶粒の大きさ、結晶性で高温常圧のそれと異なるので、勿論膨張係数についても差があり、あまり厚いと好ましくない。

(実施例)

以下に本発明の一実施例を第2図(a)~(i)に基づいて説明する。

第2図(a)~(f)は、第1図(a)~(f)で説明した従来方法と同じであるので、再度の説明は省略する。また、第2図において第1図と同一又は類似の構成は同一の符号で示す。

第2図(a)は本発明方法の特徴点を示すもので、分離酸化膜12との密着性を向上させるため、また均一粒径の第2多結晶シリコン層14を形成させるために第1多結晶シリコン層20を形成するものである。この第1多結晶シリコン層20を形成する方法としては、例えば減圧化学気相成長法を用いればよい。減圧化学気相成長法の条件は、例えばSiH₄（モノシラン）を用い、650℃、0.3 Torrで、膜厚1.0~1.5 μ mの第1多結晶シリコン層を成長させる。

この第1多結晶シリコン層20の上に第2多結晶シリコン層14を500 μ m程度（半導体基板と同程度の厚さ）に成長させる。この第2多結晶シリコン層14の形成方法は、SiHCl₃（トリクロルシラン）+H₂を用い、1150~1230℃まで昇温する。

この第2多結晶シリコン層14の成長反応初期において、分離酸化膜は第1多結晶シリコンで被覆されているためH₂還元されず、所定の厚みを保持できることがわかった。

なお、第1多結晶シリコン層20が薄い場合（例えば、0.5 μ m以下）、H₂が第1多結晶シリコン層中を粒界拡散して、局部的に分離酸化膜を還元するので好ましくない。本発明を効果的とするためには、第1多結晶シリコン層は0.5 μ m以上を必要とする。

次に、第2図(a)及び(i)に示す如く、第1図(a)及び(i)に示した従来方法と同様に、該半導体基板2の底面2bから研磨し、第2図(i)に一点鎖線で示す位置16まで平面的に除去し、島状に分離され

た単結晶シリコン島領域2dを形成し、誘電体分離基板2'が形成される（第2図(i)）。この分離された単結晶シリコン島領域2dに基本素子が形成される。なお、該半導体基板2の主表面2a側も研磨され一点鎖線で示す位置18まで平面的に除去される。

(発明の効果)

以上述べた如く、本発明によれば、分離酸化膜の異常を完全に抑制し、当初の目的とする耐圧性能を有し、かつ配線不良の発生のない優れた誘電体分離基板を提供することができる。

4. 図面の簡単な説明

第1図(a)~(f)は従来の誘電体分離基板の製造方法を示す断面図的説明図、第2図(a)~(i)は本発明による誘電体分離基板の製造方法を示す断面図的説明図、第3図は従来法による誘電体分離基板の部分平面図及び第4図は第3図の断面図である。

2……半導体基板、2'……誘電体分離基板、4……ドーパント、6……酸化膜、8……窓、10……分離溝

代理人弁理士 石 原 昭



Fig. 1 shows cross-sectional views of various embodiments of a substrate with a conductive layer and a patterned layer. The views are labeled (a) through (h).

- (a) A substrate 2 with a conductive layer 2a on its top surface and a conductive layer 2b on its bottom surface.
- (b) A substrate 2 with a conductive layer 4 on its top surface and a conductive layer 4 on its bottom surface.
- (c) A substrate 2 with a conductive layer 6 on its top surface and a conductive layer 4 on its bottom surface.
- (d) A substrate 2 with a conductive layer 8 on its top surface and a conductive layer 8 on its bottom surface.
- (e) A substrate 2 with a conductive layer 10 on its top surface and a conductive layer 10 on its bottom surface.
- (f) A substrate 2 with a conductive layer 12 on its top surface and a conductive layer 12 on its bottom surface.
- (g) A substrate 2 with a conductive layer 14 on its top surface and a conductive layer 16 on its bottom surface.
- (h) A substrate 2 with a conductive layer 18 on its top surface and a conductive layer 18 on its bottom surface.

Figure 1 shows cross-sectional views of a semiconductor device in various stages of fabrication. The views are labeled (a) through (i). The components are labeled with reference numerals: 2, 2a, 2b, 4, 6, 8, 10, 12, 14, 16, 18, 20, and 2d.

- (a) A substrate 2 with a top layer 2a and a bottom layer 2b.
- (b) A layer 4 is added on top of layer 2a.
- (c) A layer 6 is added on top of layer 4.
- (d) A layer 8 is added on top of layer 6.
- (e) Layer 8 is patterned into islands 10.
- (f) A layer 12 is added on top of layer 8.
- (g) A layer 20 is added on top of layer 12.
- (h) A layer 14 is added on top of layer 20.
- (i) A layer 16 is added on top of layer 14, and a layer 2d is added on top of layer 16.

THIS PAGE BLANK (USPTO)